



## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020010066349 A  
 (43)Date of publication of application: 11.07.2001

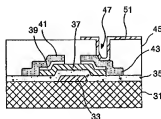
(21)Application number: 1019990068057  
 (22)Date of filing: 31.12.1999  
 (30)Priority: ..  
 (51)Int. Cl. G02F 1/13

(71)Applicant: LG.PHILIPS LCD CO., LTD.  
 (72)Inventor: PARK, HAE SEONG

## (54) METHOD FOR FABRICATING LIQUID CRYSTAL DISPLAY

## (57) Abstract:

**PURPOSE:** A method for fabricating a liquid crystal display(LCD) is provided to reduce an over-etching during a patterning to form a pixel electrode by improving a boundary adhesion of a passivation layer and a transparent conducting material. **CONSTITUTION:** A metallic thin film is formed by depositing an Al or a Cu on a transparent substrate(31) by a sputtering method or by coating them by an electroless plating method. A gate electrode(33) is formed by patterning the metallic thin film to be left on a part of the transparent substrate. And, a gate insulation film(35) and an active layer(37) and an ohmic contact layer (39) are formed to cover the gate electrode on the transparent substrate. And, the gate insulation film is revealed by patterning a part of the ohmic contact layer and the active layer. A metal like Cr, Mo, Ti and Ta or a Mo alloy like MoW, MoTa or MoNb are deposited on the gate insulation film to cover the ohmic contact layer. Then, a source and a drain electrode(41,43) are formed by patterning the metal or the metal alloy. A passivation material(45) is coated on the transparent substrate, and a contact hole(47) revealing the drain electrode is formed by patterning the passivation layer. Then, a transparent conducting oxide is formed by depositing an ITO, a TO(Tin Oxide) or an IZO(Indium Zinc Oxide) on the passivation film. By hardening the passivation layer by recuring the transparent conducting oxide, the interface adhesion between the transparent conducting oxide and the passivation layer is improved. A pixel electrode(51) is formed by patterning the transparent conducting oxide to contact with the drain electrode through the contact hole.



COPYRIGHT 2001 KIPO

## Legal Status

Date of request for an examination (20041203)  
 Notification date of refusal decision (00000000)  
 Final disposal of an application (registration)  
 Date of final disposal of an application (20070314)  
 Patent registration number (1007102760000)  
 Date of registration (20070416)  
 Number of opposition against the grant of a patent ( )  
 Date of opposition against the grant of a patent (00000000)  
 Number of trial against decision to refuse (2007101000473)  
 Date of requesting trial against decision to refuse (20070115)  
 Date of extinction of right ( )

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup>  
G02F 1/13

(11) 공개번호 특2001-0066349  
(43) 공개일자 2001년07월11일

(21) 출원번호	10-1999-0068057
(22) 출원일자	1999년12월31일
(71) 출원인	엘지.패널스 엘씨디 주식회사 구분준. 존 워라히디락사
(72) 발명자	서울 영등포구 여의도동 20번지 박해성
(74) 대리인	경상북도구미시남동청구야파트102-706호 김영호

심사청구 : 없음

(54) 액정 표시장치의 제조방법

요약

본 발명은 액정 표시장치의 제조방법에 관한 것으로서 투명기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소오스 및 드레인전극으로 이루어진 박막트랜지스터를 포함하는 액정 표시장치의 제조방법에 있어서, 상기 투명기판 상에 상기 박막트랜지스터를 갖는 유기절연층으로 이루어진 패시베이션층을 형성하고 상기 패시베이션층을 패터닝하여 상기 드레인전극을 노출시키는 공정과, 상기 패시베이션층 상에 상기 접촉층을 통해 상기 드레인전극과 접촉되는 투명전도막을 형성하고 상기 패시베이션층을 열처리하여 상기 투명전도막과 상기 패시베이션층의 부착력을 향상시키는 공정과, 상기 투명전도막을 패터닝하여 상기 접촉층을 통해 상기 드레인전극과 접촉되는 화소전극을 형성하는 공정을 구비한다.

따라서, 패시베이션층과 투명전도막의 계면 부착력이 향상되므로 투명전도막을 패터닝함으로써 형성되는 화소전극의 크기가 감소되는 것을 억제한다.

대표도

도2d

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 따른 액정 표시장치의 제조 공정도  
도 2a 내지 도 2e는 본 발명에 따른 액정 표시장치의 제조 공정도

<도면의 주요 부분에 대한 부호의 설명>

- |                      |            |
|----------------------|------------|
| 31 : 투명기판            | 33 : 게이트전극 |
| 35 : 게이트절연막          | 37 : 활성층   |
| 39 : 오믹접촉층           |            |
| 41, 43 : 소오스 및 드레인전극 |            |
| 45 : 패시베이션층          | 47 : 접촉층   |
| 49 : 투명전도막           | 51 : 화소전극  |

발명의 상세한 설명

발명의 목적

발명에 속하는 기술분야 및 그 분야의 종래기술

본 발명은 액정표시장치의 제조방법에 관한 것으로서, 특히, 패시베이션층과 화소전극의 부착력을 향상시켜 화소전극이 과도식각되어 크기가 작아지는 것을 방지하는 액정표시장치의 제조방법에 관한 것이다.

액정표시장치는 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소오스 및 드레인전극으로 구성된 박막트랜지스터(Thin Film Transistor)로 이루어진 스위칭 소자와 화소(pixel) 전극이 형성된 하판과 컬러필터가 형성된 상판 사이에 주입된 액정으로 이루어진다.

액정표시장치에서 스위칭소자인 박막트랜지스터와 하판 연결된 화소전극으로 구성된 단위 화소가 하나 기판 상에 각각 H×M(여기서, H 및 M은 자연수)개가 매트릭(matric) 상태로 층층으로 배열되고, 이 박막트랜지스터 게이트전극과 드레인전극들에 신호를 전달하는 N개의 게이트드라인과 M개의 데이터라인이 게이트드라인과 교차되어 형성된다.

그리고, 화소전극은 액정표시장치의 계구율을 증가시키기 위해 데이터라인 및 게이트드라인과 층층이 형성된다. 화소전극과 데이터라인을 순차시켜 형성할 때에는 패시베이션층을  $\text{BCB}(\beta\text{-staged-divinyl-siloxane benzocyclobutene})$ , 아크릴(acryl)계 유기화합물 또는  $\text{PFDB(perfluorocyclobutane)}$  등의 유전 상수가 작은 유기 절연물로 형성하여 기생 용량을 감소시킨다.

도 1a 내지 1e는 종래 기술에 따른 액정표시장치의 제조 공정도이다.

도 1a를 참조하면, 투영기판(11) 상에 스퍼터링(sputtering) 등의 방법으로 알루미늄 또는 구리(Cu) 등을 증착하여 금속박막을 형성한다. 그리고, 금속박막을 습식 방법을 포함하는 포토리소그래피 방법으로 투영기판(11)의 소정 부분에만 잔류하도록 패터닝하여 게이트전극(13)을 형성한다.

도 1b를 참조하면, 투영기판(11) 상에 게이트전극(13)을 덮도록 게이트절연막(15), 활성층(17) 및 오믹접촉층(19)을 화학기상증착(Chemical Vapor Deposition : 이하, CVD라 칭함) 방법으로 순차적으로 형성한다. 상기에서 게이트절연막(15)은 산화실리콘 또는 질화실리콘 등의 원원물질들 증착하여 형성하고, 활성층(17)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성한다. 또한, 오믹접촉층(19)은 H형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성한다.

오믹접촉층(19) 및 활성층(17)의 소정 부분을 이방성식각을 포함하는 포토리소그래피 방법으로 게이트절연막(15)이 노출되도록 패터닝한다. 이 때, 활성층(17) 및 오믹접촉층(19)은 게이트전극(13)과 대응하는 부분에만 잔류되도록 한다.

도 1c를 참조하면, 게이트절연막(15) 상에 몰리브덴(Mo), 티타늄 또는 탄탈륨 등의 금속이나, MoW, MoTa 또는 MoNb 등의 몰리브덴 합금(Mo alloy)을 오믹접촉층(19)을 덮도록 CVD 방법 또는 스퍼터링(sputtering) 방법으로 증착한다. 상기에서 증착된 금속 또는 금속합금은 오믹접촉층(19)과 오믹 접촉을 이룬다.

그리고, 금속 또는 금속합금을 게이트절연막(15)이 노출되도록 포토리소그래피 방법으로 패터닝하여 소오스 및 드레인전극(21)(23)을 형성한다. 이 때, 소오스 및 드레인전극(21)(23) 사이의 게이트전극(13)과 대응하는 부분의 오믹접촉층(19)도 패터닝되도록 하여 활성층(17)을 노출시킨다. 상기에서 활성층(17)의 소오스 및 드레인전극(21)(23) 사이의 게이트전극(13)과 대응하는 부분은 채워진다.

도 1d를 참조하면, 투영기판(11) 상에 상술한 구조를 덮도록 아크릴(acryl)계 유기화합물,  $\text{BCB}(\beta\text{-staged-divinyl-siloxane benzocyclobutene})$  또는  $\text{PFDB(perfluorocyclobutane)}$  등의 유전 상수가 작은 유기 절연물을 증착하고 큐어링(curing)하여 패시베이션층(25)을 형성한다.

패시베이션층(25)을 패터닝하여 드레인전극(23)을 노출시키는 접촉홀(27)을 형성한다. 그리고, 패시베이션층(25) 상에 접촉홀(27)을 통해 드레인전극(23)과 접촉되게 투명한 전도성 물질인 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)을 증착한다. 그리고, 증착된 투명한 전도성물질들  $\text{HCl}$ ,  $(\text{COOH})_2$  또는  $\text{HCl-HNO}_3$ 의 혼합을 식각 용액으로 사용하는 포토리소그래피 방법으로 패터닝하여 화소전극(29)을 형성한다.

그리고, 종래 기술에 따른 액정표시장치의 제조 방법은 패시베이션층 상에 투명한 전도성 물질을 증착할 때 이 패시베이션층을 증식 열에 의해 분사 배반이 온도까지 투명한 전도성 물질과 겹친 접착력이 저하되므로 화소전극을 형성하기 위한 패터닝식 식각 용액의 침식으로 인해 과도식각되는 문제점이 있었다.

발명에 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 패시베이션층과 투명한 전도성 물질의 겹친 접착력을 향상시켜 화소전극을 형성하기 위한 패터닝식 과도식각되는 것을 감소시킬 수 있는 액정표시장치의 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치의 제조방법은 투영기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소오스 및 드레인전극으로 이루어진 박막트랜지스터를 포함하는 액정표시장치의 제조방법에 있어서, 상기 투영기판 상에 상기 박막트랜지스터를 덮는 유기절연물질로 이루어진 패시베이션층을 형성하고 상기 패시베이션층을 패터닝하여 상기 드레인전극을 노출시키는 접촉홀을 형성하는 공정과, 상기 패시베이션층 상에 상기 접촉홀을 통해 상기 드레인전극과 접촉되는 투명한 도전막을 형성하고 상기 패시베이션층을 열처리하여 상기 투명한 도전막과 상기 패시베이션층의 부착력을 향상시키는 공정과, 상기 투명한 도전막을 패터닝하여 상기 접촉홀을 통해 상기 드레인전극과 접촉되는 화소전극을 형성하는 공정을 구비한다.

상기 목적 외에 본 발명의 다른 목적 및 특징들은 첨부 도면들을 참조한 실시예에 대한 설명을 통하여 명백하게 드러나게 될 것이다.

이하, 첨부한 도면들을 참조하여 본 발명을 상세히 설명한다.

도 2a 내지 도2e는 본 발명에 따른 액정표시장치의 제조 공정도이다.

도 2a를 참조하면, 투명기판(31) 상에 알루미늄(Al) 또는 구리(Cu)를 스퍼터링(sputtering) 등의 방법으로 증착하거나, 또는, 무전해 도금방법으로 도포하여 금속박막을 형성한다. 상기에서 투명기판(31)으로 유리, 석영 또는 투명한 플라스틱 등이 사용될 수도 있다. 그리고, 금속박막을 습식 방법을 포함하는 포토레소그 레피 방법으로 투명기판(31)의 소정 부분에만 잔류하도록 패터닝하여 게이트전극(33)을 형성한다.

도 2b를 참조하면, 투명기판(31) 상에 게이트전극(33)을 당도록 게이트절연막(35), 활성층(37) 및 오믹 접촉층(39)을 CVD 방법으로 순차적으로 형성한다. 상기에서 게이트절연막(35)은 절화실리콘 또는 산화실리콘 등의 절연물질을 증착하여 형성하고, 활성층(37)은 불순물이 도핑되지 않은 비정질실리콘 또는 다결정실리콘으로 형성된다. 또한, 오믹접촉층(39)은 N형 또는 P형의 불순물이 고농도로 도핑된 비정질실리콘 또는 다결정실리콘으로 형성된다.

오믹접촉층(39) 및 활성층(37)의 소정 부분을 이방성식각을 포함하는 포토레소그레피 방법으로 게이트절연막(35)이 노출되도록 패터닝한다. 이 때, 활성층(37) 및 오믹접촉층(39)은 게이트전극(33)과 대응하는 부분에만 잔류되도록 한다.

도 2c를 참조하면, 게이트절연막(35) 상에 크롬(Cr), 몰리브덴(Mo), 티타늄 또는 탄탈륨 등의 금속이나, MoW, MoTa 또는 MoNb 등의 몰리브덴 합금(Mo alloy)을 오믹접촉층(39)을 당도록 CVD 방법 또는 스퍼터링(sputtering) 방법으로 증착한다. 상기에서 증착된 금속 또는 금속합금은 오믹접촉층(39)과 오믹 접촉을 이룬다.

그리고, 금속 또는 금속합금을 게이트절연막(35)이 노출되도록 포토레소그레피 방법으로 패터닝하여 소스 및 드레인전극(41)(43)을 형성한다. 이 때, 소스 및 드레인전극(41)(43) 사이의 게이트전극(33)과 대응하는 부분의 금속 또는 금속합금과 오믹접촉층(39)도 패터닝되도록 하여 활성층(37)을 노출시킨다. 상기에서 활성층(37)의 소스 및 드레인전극(41)(43) 사이의 게이트전극(33)과 대응하는 부분은 채널이 된다.

도 2d를 참조하면, 투명기판(31) 상에 상술한 구조를 갖는 패시베이션층(45)을 도포한다. 상기에서 패시베이션층(45)은 이크릴(acryl)계 유기화합물, BC8(benzocyclobutene) 또는 PF8(perfluorocyclobutene) 등의 유전 상수가 3 이하로 절화실리콘 및 산화실리콘 등의 무기 절연층 보다 작은 유기 절연물로 구성된 다.

패시베이션층(45)을 패터닝하여 드레인전극(43)을 노출시키는 접촉층(47)을 형성한다. 그리고, 패시베이션층(45) 상에 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)을 증착하여 투명도전막(49)이 마련되게 한다. 투명도전막(49)은 상온~300℃ 정도의 온도에서 접촉층(47)을 통해 드레인전극(43)과 접촉되게 증착되게 된다. 이 때, 패시베이션층(45)은 투명도전막(49)을 증착할 때의 열에 의해 스트래스를 받아 분자 배열이 흐트러지므로 패시베이션층(45)과 투명도전막(49)의 계면 부착력이 저하된다.

투명도전막(49)을 형성한 후 열처리(recuring)하여 패시베이션층(45)의 흐트러진 분자를 재배열하여 패시베이션층(45)을 접합시키면서 투명도전막(49)과의 계면 부착력을 향상시킨다. 상기에서 열처리는 대기 상 태에서나, 또는, 진공(V<sub>2</sub>), 아르곤(Ar) 및 네온(Ne) 중의 어느 하나의 불활성 기체 상태에서 투명도전막(49)을 형성할 때의 증착 온도 보다 높고 패시베이션층(45)을 형성하는 유기결연물질의 유리전이온도(glass transition temperature : T<sub>g</sub>) 보다 낮은 온도에서 진행된다. 상기에서 패시베이션층(45)의 유리 전이온도(glass transition temperature : T<sub>g</sub>)가 250~350℃ 정도이므로 열처리는 220~300℃ 정도의 온도에서 진행된다.

도 2e를 참조하면, 투명도전막(49)을 HCl, (COOH)<sub>2</sub> 또는 HCl+HNO<sub>3</sub>의 혼합을 식각 용액으로 사용하는 포토 레소그레피 방법으로 접촉층(47)을 통해 드레인전극(43)과 접촉되게 패터닝하여 화소전극(51)을 형성한다. 이 때, 패시베이션층(45)과 투명도전막(49)의 부착력이 크므로 식각 용액이 계면을 통해 침투하는 것을 방지한다. 그러므로, 투명도전막(49)의 과도 식각에 의한 화소전극(51)의 크기가 감소되는 것이 억제된다.

상술한 바와 같이 본 발명에 따른 액정표시장치의 제조방법은 투명도전막을 형성할 때의 증착 온도에 의한 열에 의해 스트래스를 받아 패시베이션층의 분자 배열이 흐트러져 패시베이션층과 투명도전막의 계면 부착력이 저하되는 것 열처리(recuring)하여 패시베이션층의 흐트러진 분자를 재배열하여 패시베이션층을 경화 시키면서 투명도전막과의 계면 부착력을 향상시킨다.

#### 발명의 효과

따라서, 본 발명은 패시베이션층과 투명도전막의 계면 부착력이 향상되므로 투명도전막을 패터닝함으로써 형성되는 화소전극의 크기가 감소되는 것을 억제하는 잇점이 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야 할 것이다.

청구항 1

부품기판 상에 게이트전극, 게이트절연막, 활성층, 오믹접촉층, 소오스 및 드레인전극으로 이루어진 박막 트랜지스터를 포함하는 액정표시장치의 제조방법에 있어서,

상기 투명기판 상에 상기 박막트랜지스터를 덮는 유기절연물질로 이루어진 패시베이션층을 형성하고 상기 패시베이션층을 패턴화하여 상기 드레인전극을 노출시키는 접촉홀을 형성하는 공정과,

상기 패시베이션층 상에 상기 접촉홀을 통해 상기 드레인전극과 접촉되는 투명도전막을 형성하고 상기 패시베이션층을 열처리하여 상기 투명도전막과 상기 패시베이션층의 부착력을 향상시키는 공정과,

상기 투명도전막을 패턴화하여 상기 접촉홀을 통해 상기 드레인전극과 접촉되는 화소전극을 형성하는 공정을 구비하는 액정표시장치의 제조방법.

청구항 2

청구항 1에 있어서,

상기 패시베이션층을 BCB( $\beta$ -staged-divinyl-siloxane benzocyclobutene), 아크릴(acryl)계 유기화합물 또는 PFCB(perfluorocyclobutane)의 유전 상수가 3 이하인 유기 절연물로 형성하는 액정표시장치의 제조방법.

청구항 3

청구항 1에 있어서,

상기 투명도전막을 인듐주석산화물(Indium Tin Oxide : ITO), 주석산화물(Tin Oxide : TO) 또는 인듐아연산화물(Indium Zinc Oxide : IZO)을 증착하여 형성하는 액정표시장치의 제조방법.

청구항 4

청구항 3에 있어서,

상기 투명도전막을 상온~300℃의 온도에서 증착하여 형성하는 액정표시장치의 제조방법.

청구항 5

청구항 1에 있어서,

상기 열처리를 대기 상태에서나, 또는, 질소(N<sub>2</sub>), 아르곤(Ar) 및 네온(Ne) 중의 어느 하나의 불활성 기체 상태에서 진행하는 액정표시장치의 제조방법.

청구항 6

청구항 5에 있어서,

상기 열처리를 투명도전막의 증착 온도 보다 높고 상기 패시베이션층의 유리전이온도(glass transition temperature : T<sub>g</sub>) 보다 낮은 온도에서 진행하는 액정표시장치의 제조방법.

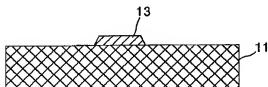
청구항 7

청구항 6에 있어서,

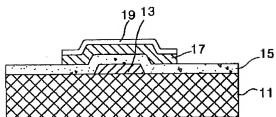
상기 열처리를 220~300℃ 정도의 온도에서 진행하는 액정표시장치의 제조방법.

도면

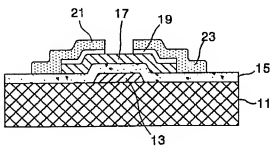
도면 1a



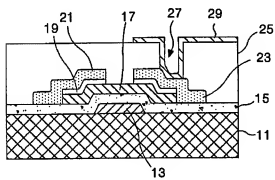
도면 1b



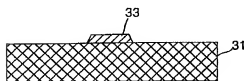
도면 1c



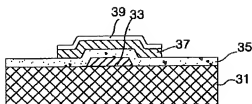
도면 1d



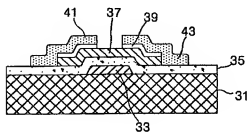
도면 2a



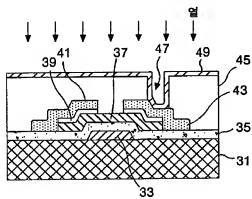
도면2b



도면2c



도면2d



도면2a

